



a data input and output circuit, and an input and output interface circuit constituted of a bonding pad row, etc., are arranged on the center part 14, and column decoder regions 13 are arranged on parts in contact with the memory arrays. Main row decoder regions 11 are arranged on the upper and lower central parts to the longitudinal direction, main word driver regions 12 are formed on and under the main row decoder regions 11, and main word lines of vertically divided memory arrays are driven, respectively. Thereby a practical threshold voltage value can be increased, a subthreshold leakage current can be reduced, special isolation of a P-type well region in which the direct peripheral circuits are formed is unnecessary, and high scale integration is enabled.

COPYRIGHT: (C)1999, JPO

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-54726

(43)公開日 平成11年(1999) 2月26日

(51)IntCl. <sup>8</sup>	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 7 1 Z
21/8242		G 1 1 C 11/34	3 5 4 D
G 1 1 C 11/407		H 0 1 L 27/04	C
H 0 1 L 27/04		27/08	3 2 1 M
21/822		27/10	6 2 1 C
審査請求 未請求 請求項の数 6 F D (全 19 頁) 最終頁に続く			

(21)出願番号 特願平9-225668  
(22)出願日 平成9年(1997) 8月7日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(71)出願人 000233169  
株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号  
(72)発明者 鈴木 淳幸  
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内  
(74)代理人 弁理士 徳若 光政

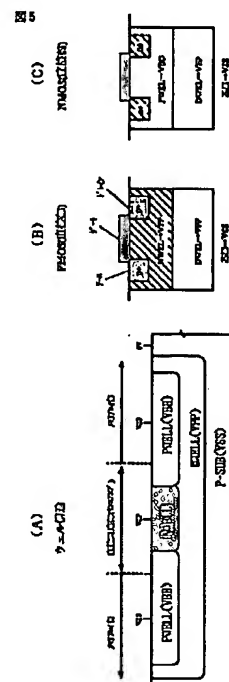
最終頁に続く

(54)【発明の名称】 ダイナミック型RAM

## (57)【要約】

【課題】 高集積化と低消費電力化とを実現したダイナミック型RAMを提供する。

【解決手段】 ダイナミック型メモリセル及びかかるダイナミック型メモリセルからビット線に読み出された上記記憶キャパシタの情報電荷に従った微小電圧を増幅するセンスアンプの増幅MOSFET、ビット線にプリチャージ電圧を与えるプリチャージMOSFET、ビット線を選択するカラムスイッチMOSFETとを含むメモリアレイを備え、上記メモリアレイのNチャンネル型MOSFETを深い深さのN型ウェル領域内に形成され、負の基板バックバイアス電圧が与えられたP型ウェル領域に形成され、上記メモリアレイのPチャンネル型MOSFETを、上記深い深さのN型ウェル領域内に形成され、ワード線を選択レベルに対応した昇圧電圧が与えられたN型ウェル領域に形成する。



## 【特許請求の範囲】

【請求項1】 ゲートがワード線に接続され、一方のソース、ドレインが上記ワード線と交差するビット線に接続され、他方のソース、ドレインが記憶キャパシタの蓄積ノードに接続されたアドレス選択MOSFETからなるダイナミック型メモリセルと、  
上記ビット線に読み出された上記記憶キャパシタの情報電荷に従った微小電圧を増幅するセンスアンプの増幅MOSFETと、

上記ビット線にプリチャージ電圧を与えるプリチャージMOSFETと、

上記ビット線を選択するカラムスイッチMOSFETとを含むメモリアレイを備えてなり、

上記メモリアレイのNチャンネル型MOSFETは、深い深さのN型ウェル領域内に形成され、負の基板バックバイアス電圧が与えられたP型ウェル領域に形成され、上記メモリアレイのPチャンネル型MOSFETは、上記深い深さのN型ウェル領域内に形成され、上記ワード線の選択レベルに対応した昇圧電圧が与えられたN型ウェル領域に形成されてなることを特徴とするダイナミック型RAM。

【請求項2】 上記ビット線は、一对の相補ビット線が平行に配置されてなり、

上記センスアンプの増幅MOSFETは、一方のビット線に接続されたメモリセルの読み出し信号を他方のビット線のプリチャージ電圧を参照電圧として増幅するものであり、

かかるセンスアンプを中心にしてシェアードスイッチMOSFETを介して2組の相補ビット線に共通に設けられるものであり、

上記プリチャージMOSFET及びカラムスイッチMOSFETは、上記シェアードスイッチMOSFETを介して上記2組の相補ビット線に対して共通に設けられ上記シェアードスイッチMOSFETも上記メモリアレイに含まれるものであることを特徴とする請求項1のダイナミック型RAM。

【請求項3】 上記センスアンプを構成する増幅MOSFETは、Pチャンネル型MOSFETとNチャンネル型MOSFETからなる2つのCMOSインバータ回路の入力と出力とが交差接続されてなるCMOSラッチ回路からなり、

センスアンプは、複数からなる上記CMOSラッチ回路に動作電圧と回路の接地電位をそれぞれを与えるPチャンネル型MOSFETとNチャンネル型MOSFETからなるパワースイッチ回路により構成されるものであることを特徴とする請求項1又は請求項2のダイナミック型RAM。

【請求項4】 上記ワード線は、メインワード線と、かかるメインワード線に対して共通に割り当てられてなる複数のサブワード線からなり、

上記サブワード線に対して上記ダイナミック型メモリセルのアドレス選択MOSFETのゲートが接続され、  
上記サブワード線は、上記メインワード線の信号とサブワード選択線の信号とを受けるサブワードドライバにより上記複数のうちの1つが選択されるものであり、  
上記サブワードドライバも上記メモリアレイに含まれるものであることを特徴とする請求項1、請求項2又は請求項3のダイナミック型RAM。

【請求項5】 上記ワード線は、メインワード線の延長方向に対して分割された長さとなされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるダイナミック型メモリセルのアドレス選択MOSFETのゲート接続されてなるサブワード線であり、

上記メインワード線と平行するように延長され、上記1つのメインワード線に割り当てられた複数のサブワード線の中の1つを選択する選択信号が伝えられる第1のサブワード選択線と、

上記第1のサブワード選択線の対応するものと接続され、上記メインワード線と直交するように延長される第2のサブワード選択線と、

上記メインワード線の選択信号と上記第2のサブワード選択線を通して伝えられた選択信号とを受けて、上記サブワード線の選択信号を形成する複数からなるサブワードドライバ及び上記複数のサブワード線、上記複数の相補ビット線対及びこれらの交点に設けられた複数のダイナミック型メモリセルかにより構成されてなる複数のサブアレイを備え、

上記サブアレイの複数からなるサブワード線配列の両端側にサブワードドライバが振り分けられて分割して配置され、

上記サブアレイの複数からなる相補ビット線配列の両端側にセンスアンプが振り分けられて分割して配置され、  
上記1つのサブアレイは、上記複数のサブワードドライバ列と上記複数のセンスアンプ列とにより囲まれるように形成され、

上記サブアレイに対応してサブ共通入出力線が設けられ、複数のサブアレイに対応して設けられる共通入出力線とを接続させるスイッチ回路は、上記サブアレイの四隅に対応され、上記センスアンプとサブワードドライバとが交差するクロスエリアに設けられ、

上記複数のサブアレイ、複数のサブアレイに対応して設けられる共通入出力線とを接続させるスイッチ回路及び上記クロスエリアも上記メモリアレイに含まれるものであることを特徴とする請求項4のダイナミック型RAM。

【請求項6】 上記メモリアレイの周辺部にはCMOS構成の周辺回路が設けられるものであり、

上記周辺回路は、ダイナミック型RAMが非動作状態のときの入力信号がハイレベルにされる第1の回路と、入

力信号がロウレベルにされる第2の回路に分けられ、上記第1の回路は、Pチャンネル型スイッチMOSFETを介して電源電圧が供給される第1のサブ電源線と回路の接地線の間に設けられ、

上記第2の回路は、電源電圧とNチャンネル型スイッチMOSFETを介して回路の接地電位が供給される第2のサブ電源線との間に設けられ、

上記Pチャンネル型とNチャンネル型のスイッチMOSFETは、ダイナミック型RAMが動作状態にときにオン状態にされ、上記非動作状態のときにはオフ状態にされるものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5のダイナミック型RAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）に関し、例えばメインワード線とサブワード線とを備えた分割ワード線方式を採用しつつ、低しきい値電圧のMOSFET（絶縁ゲート型電界効果トランジスタ）により構成されるものに利用して有効な技術に関するものである。

【0002】

【従来の技術】周知のようにダイナミック型メモリセルは、アドレス選択MOSFETと情報記憶キャパシタからなり、上記キャパシタに電荷が在るか否かで情報記憶動作を行う。上記キャパシタの記憶電荷は、オフ状態でのアドレス選択MOSFETのソース、ドレイン経路を通して流れるサブスレッシュドリーク電流等によって失われる。そこで、従来のダイナミック型RAMでは、上記アドレス選択MOSFETのしきい値電圧を大きくしてサブスレッシュドリーク電流を減らすことと、ビット線側に接続されるソース、ドレイン拡散層での寄生容量を減らすという観点から基板にバックバイアス電圧を供給するものである。これに対して、上記アドレス選択MOSFET以外のMOSFETは、低しきい値電圧のままで使用の方が動作速度の有利であるという観点から、上記メモリセルが形成される半導体領域とは電気的に分離された半導体領域に形成し、回路の接地電位のようなバイアス電圧が与えられる。このような電気的な半導体領域の分離のために、いわゆる3重ウェル構造が採用されている。

【0003】図14の概略断面図に示すように、上記3重ウェル構造においては、上記バックバイアス電圧VBBが印加され、メモリセルが形成されるP型ウェル領域PWE LLは、回路の接地電位VSSが与えられる周辺のNチャンネル型MOSFETが形成されるP型ウェル領域と電気的に分離するためにP型基板P-subに形成された深い深さのN型ウェル領域DWE LL内に形成される。そして、センスアンプ等の直接周辺回路を構成するNチャンネル型MOSFETが形成されるP型ウェ

ル領域PWE LLとの間には分離用のN型ウェル領域NWE LLが形成される。

【0004】

【発明が解決しようとする課題】大記憶容量化や高集積化のために素子のいっそうの微細化が図られ、それに伴いMOSFETのしきい値電圧はいっそう低しきい値電圧にされる。このようなMOSFETの低しきい値電圧に伴いオフ状態のときにソースドレイン経路に流れるリーク電流（以下、スレッシュドリーク電流という）によって消費電流が増大してしまうという問題が生じる。また、上記3重ウェル構造ではメモリセルが形成されるP型ウェル領域と、その直接周辺回路のNチャンネル型MOSFETが形成されるP型ウェル領域を分離する必要がある、メモリアレイ部の高集積化を妨げている。

【0005】この発明の目的は、高集積化と低消費電力化を実現したダイナミック型RAMを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型メモリセル及びかかるダイナミック型メモリセルからビット線に読み出された上記記憶キャパシタの情報電荷に従った微小電圧を増幅するセンスアンプの増幅MOSFET、ビット線にプリチャージ電圧を与えるプリチャージMOSFET、ビット線を選択するカラムスイッチMOSFETとを含むメモリアレイを備え、上記メモリアレイのNチャンネル型MOSFETを深い深さのN型ウェル領域内に形成され、負の基板バックバイアス電圧が与えられたP型ウェル領域に形成され、上記メモリアレイのPチャンネル型MOSFETを、上記深い深さのN型ウェル領域内に形成され、ワード線の選択レベルに対応した昇圧電圧が与えられたN型ウェル領域に形成する。

【0007】

【発明の実施の形態】図1には、この発明に係るダイナミック型RAMの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型RAMを構成する各回路ブロックのうち、この発明に関連する部分が判るように示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上において形成される。

【0008】この実施例では、特に制限されないが、メモリアレイは、全体として4個に分けられる。半導体チップの長手方向に対して左右に2個ずつのメモリアレイが分けられて、中央部分14にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等が設けられる。これら中央部分

14の両側のメモリアレイに接する部分には、カラムデコード領域13が配置される。

【0009】上述のように半導体チップの長手方向に対して左右に2個、上下に2個ずつに分けられた4個からなる各メモリアレイにおいて、長手方向に対して上下中央部にメインロウデコード領域11が設けられる。このメインロウデコードの上下には、メインワードドライバ領域12が形成されて、上記上下に分けられたメモリアレイのメインワード線をそれぞれが駆動するようにされる。

【0010】上記メモリアルレイ(サブアレイ)15は、その拡大図に示すように、メモリアルレイ15を挟んでセンスアンプ領域16、サブワードドライバ領域17に囲まれて形成されるものである。上記センスアンプ領域と、上記サブワードドライバ領域の交差部は、交差領域(クロスエリア)18とされる。上記センスアンプ領域16に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリアルレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリアルレイの相補ビット線に選択的に接続される。

【0011】上述のように半導体チップの長手方向に対して左右に4個ずつに分けられたメモリアレイは、2個ずつ組となって配置される。このように2個ずつ組となって配置された2つのメモリアレイは、その中央部分に上記メインロウデコード領域11とメインワードドライバ12が配置される。このメインロウデコード11は、それを中心にして上下に振り分けられた2つのメモリアレイに対応して共通に設けられる。メインワードドライバ12は、上記1つのメモリアレイを貫通するように延長されるメインワード線の選択信号を形成する。また、上記メインワードドライバ12にサブワード選択用のドライバも設けられ、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。

【0012】拡大図として示された1つのメモリアルレイ(サブアレイ)15は、図示しないがサブワード線が256本と、それと直交する相補ビット線(又はデータ線)が256対とされる。上記1つのメモリアレイにおいて、上記メモリアルレイ(サブアレイ)15がワードビット線方向に16個設けられるから、全体としての上記サブワード線は約4K分設けられ、ワード線方向に8個設けられるから、相補ビット線は全体として約2K分設けられる。このようなメモリアレイが全体で8個設けられるから、全体では $8 \times 2K \times 4K = 64M$ ビットのような大記憶容量を持つようにされる。

【0013】上記1つのメモリアレイは、メインワード線方向に対して8個に分割される。かかる分割されたメモリアルレイ15毎にサブワードドライバ(サブワー

ド線駆動回路)17が設けられる。サブワードドライバ17は、メインワード線に対して1/8の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に4本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して4本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される4本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0014】上記1つのメモリアレイに着目すると、1つのメインワード線に割り当てられる8個のメモリアルレイのうち選択すべきメモリアルセルが含まれる1つのメモリアルレイに対応したサブワードドライバにおいて、1本のサブワード選択線が選択される結果、1本のメインワード線に属する $8 \times 4 = 32$ 本のサブワード線の中から1つのサブワード線が選択される。上記のようにメインワード線方向に2K(2048)のメモリアルセルが設けられるので、1つのサブワード線には、 $2048 / 8 = 256$ 個のメモリアルセルが接続されることとなる。特に制限されないが、リフレッシュ動作(例えばセルフリフレッシュモード)においては、1本のメインワード線に対応する8本のサブワード線が選択状態とされる。

【0015】上記のように1つのメモリアレイは、相補ビット線方向に対して4Kビットの記憶容量を持つ。しかしながら、1つの相補ビット線に対して4Kものメモリアルセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対しても16分割される。つまり、太い黒線で示されたセンスアンプ16により、相補ビット線が16分割に分割される。特に制限されないが、センスアンプ16は、シェアードセンス方式により構成され、メモリアレイの両端に配置されるセンスアンプ16を除いて、センスアンプ16を中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【0016】図2には、この発明に係るダイナミック型RAMを説明するための概略レイアウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、8分割された1つのメモリアレイのレイアウトが示されている。同図は、図1の実施例を別の観点から図示したものである。つまり、図1と同様にメモリチップは、長手方向(ワード線方向)に対して左右と上下にそれぞれ2個ずつのメモリアレイ(Array)が4分割され、その長方

向における中央部分には複数なるボンディングパッド及びアドレスバッファや制御バッファやプリデコード及びタイミング制御回路等のような間接周辺回路 (Bonding Pad & peripheral Circuit) が設けられる。

【0017】上記2個ずつのメモリアレイは、それぞれが約8Mビットの記憶容量を持つようにされるものであり、そのうちの一方が拡大して示されているように、ワード線方向に8分割され、ビット線方向に16分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ (Sense Amplifier) が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ (Sub-word Driver) が配置される。

【0018】上記1つのアレイには、全体で4096本のワード線と2048対の相補ビット線が設けられる。これにより、全体で約8Mビットの記憶容量を持つようにされる。上記のように4096本のワード線が16個のサブアレイに分割して配置されるので、1つのサブアレイには256本のワード線 (サブワード線) が設けられる。また、上記のように2048対の相補ビット線が8個のサブアレイに分割して配置されるので、1つのサブアレイには256対の相補ビット線が設けられる。

【0019】上記2つのアレイの中央部には、メインロウデコードが設けられる。つまり、同図に示されたアレイの左側には、その右側に設けられるアレイと共通に設けられる前記メインロウデコードに対応して、アレイコントロール (Array control) 回路及びメインワードドライバ (Main Word driver) が設けられる。上記アレイコントロール回路には、第1のサブワード選択線を駆動するドライバが設けられる。上記アレイには、上記8分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第1のサブワード選択線も上記8分割されたサブアレイを貫通するように延長される。上記アレイの上部には、Yデコード (YDecoder) 及びY選択線ドライバ (Y driver) が設けられる。

【0020】図3には、この発明に係るダイナミック型RAMにおけるサブアレイとその直接周辺回路の一実施例の概略レイアウト図が示されている。同図には、図2に示されたメモリアレイの中の斜線を付した位置に配置された4つのサブアレイSBARYが代表として例示的に示されている。サブアレイSBARYが形成される領域には斜線を付すことによって、その周辺に設けられサブワードドライバ領域、センスアンプ領域及びクロスエリアとが区別されるものである。

【0021】サブアレイSBARYは、次のような4種類に分けられる。つまり、ワード線の延長方向を水平方向とすると、右下に配置される第1のサブアレイSBARYは、サブワード線SWLが256本配置され、相補

ビット線対は256対から構成される。それ故、上記256本のサブワード線SWLに対応した256個のサブワードドライバSWDは、かかるサブアレイの左右に128個ずつに分割して配置される。上記256対の相補ビット線BLに対応して設けられる256個のセンスアンプSAは、前記のようなシェアドセンスアンプ方式とされ、かかるサブアレイの上下に128個ずつに分割して配置される。

【0022】上記のように右上配置される第2のサブアレイSBARYは、正規のサブワード線SWLが256本に加えて、8本の予備ワード線が設けられる。それ故、上記256+8本のサブワード線SWLに対応した264個のサブワードドライバSWDは、かかるサブアレイの左右に132個ずつに分割して配置される。上記のように右下のサブアレイが256対の相補ビット線BLからなり、上記同様に128個のセンスアンプが上下に配置される。上記右側の上下に配置されるサブアレイSBARYに形成される128対の相補ビット線は、それに挟まれたセンスアンプSAに対してシェアドスイッチMOSFETを介して共通に接続される。

【0023】上記のように左下配置される第3のサブアレイSBARYは、右隣接のサブアレイSBARYと同様にサブワード線SWLが256本により構成される。上記同様に128個のサブワードドライバが分割して配置される。上記下側左右に配置されたサブアレイSBARYの128本のサブワード線SWLは、それに挟まれた領域に形成された128個のサブワードドライバSWDに対して共通に接続される。上記のように左下配置されるサブアレイSBARYは、256対からなる正規の相補ビット線BLに加えて、4対の予備ビット線4REDが設けられる。それ故、上記260対からなる相補ビット線BLに対応した260個のセンスアンプSAは、かかるサブアレイの上下に130個ずつに分割して配置される。

【0024】上記のように左上配置される第4のサブアレイSBARYは、右隣接のサブアレイSBARYと同様に正規のサブワード線SWLが256本に予備サブワード線Rが8本設けられ、下隣接のサブアレイと同様に正規の相補ビット線対の256対に加えて、予備のビット線が4対設けられるので、サブワードドライバは、左右に132個ずつ分割して配置され、センスアンプSAは130ずつが上下に分割して配置される。

【0025】メインワード線MWLは、その1つが代表として例示的に示されているように延長される。カラム選択線YSは、その1つが代表として例示的に示されるように同図の縦方向に延長される。上記メインワード線MWLと平行にサブワード線SWLが配置され、上記カラム選択線YSと平行に相補ビット線BL (図示せず) が配置されるものである。この実施例では、特に制限されないが、上記4つのサブアレイを基本単位として、図2

のように8Mビット分のメモリアレイでは、ビット線方向には8組のサブアレイが形成され、ワード線方向には4組のサブアレイが構成される。1組のサブアレイが4個で構成されるから、上記8Mビットのメモリアレイでは、 $8 \times 4 \times 4 = 128$ 個のサブアレイが設けられる。上記8Mビットのメモリアレイがチップ全体では8個設けられるから、メモリチップ全体では $128 \times 8 = 1024$ 個ものサブアレイが形成されるものである。

【0026】特に制限されないが、上記4個からなるサブアレイに対して、8本のサブワード選択線FX0B～FX7Bが、メインワード線MWLと同様に4組(8個)のサブアレイを貫通するように延長される。上記サブワード選択線FX0B～FX3Bからなる4本と、FX4B～FX7Bからなる4本とが上下のサブアレイ上に分けて延長させる。このように2つのサブアレイに対して1組のサブワード選択線FX0B～FX7Bを割り当て、かつ、それらをサブアレイ上を延長させるようにする理由は、メモリチップサイズの小型化を図るためである。

【0027】つまり、各サブアレイに対して上記8本のサブワード選択線FX0B～FX7Bを割り当て、しかもそれをセンスアンプエリア上に配線チャンネルに形成した場合、図2のメモリアレイのように16個ものサブアレイが上下のメモリアレイにおいて合計32個も配置されるために、 $8 \times 32 = 256$ 本分の配線チャンネルが必要になるものである。これに対して、上記の実施例では、配線そのものが、2つのサブアレイに対して上記8本のサブワード選択線FX0B～FX7Bを割り当て、しかも、それをサブアレイ上を通過するように配置させることにより、格別な配線チャンネルを設けることなく形成することができる。

【0028】そもそも、サブアレイ上には、8本のサブワード線に対して1本のメインワード線が設けられるものであり、その8本の中の1本のサブワード線を選択するためにサブワード選択線が必要になるものである。メモリスルピッチに合わせて形成されるサブワード線の8本分に1本の割り合いでメインワード線が形成されるものであるために、メインワード線の配線ピッチは緩やかになっている。したがって、メインワード線と同じ配線層を利用して、上記サブワード選択線をメインワード線の間に形成することは比較的容易にできるものである。

【0029】この実施例のサブワードドライバは、後述するように上記サブワード選択線FX0B等を通して供給される選択信号と、それを反転させた選択信号とを用いて1つのサブワード線SWLを選択する構成を採る。そして、サブワードドライバは、それを中心として左右に配置されるサブアレイのサブワード線SWLを同時に選択するような構成を採るものである。そのため、上記のように2つのサブアレイに対しては、 $128 \times 2 = 256$

56個ものサブワードドライバに対して、上記4本のサブワード選択線を割り振って供給する。つまり、サブワード選択線FX0Bに着目すると、 $256 \div 4 = 64$ 個ものサブワードドライバに選択信号を供給する必要がある。

【0030】上記メインワード線MWLと平行に延長されるものを第1のサブワード選択線FX0Bとすると、左上部のクロスエリアに設けられ、上記第1のサブワード選択線FX0Bからの選択信号を受けるサブワード選択線駆動回路FXDを介して、上記上下に配列される64個のサブワードドライバに選択信号を供給する第2のサブワード線FX0が設けられる。上記第1のサブワード選択線FX0Bは上記メインワード線MWL及びサブワード線SWLと平行に延長されるのに対して上記第2のサブワード選択線は、それと直交するカラム選択線YS及び相補ビット線BLと平行に延長される。上記8本の第1のサブワード選択線FX0B～FX7Bに対して、上記第2のサブワード選択線FX0～FX7は、偶数FX0, 2, 4, 6と、奇数FX1, 3, 5, 7とに分割されてサブアレイSBARYの左右に設けられたサブワードドライバSWDに振り分けられて配置される。

【0031】上記サブワード選択線駆動回路FXDは、同図において図で示したように、1つのクロスエリアの上下に2個ずつ分配して配置される。つまり、上記のように左上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX0Bに対応され、左中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX2Bと、FX4Bに対応され、左下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX6Bに対応される。

【0032】中央上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX1Bに対応され、中央中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX3Bと、FX5Bに対応され、中央下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX7Bに対応される。そして、右上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX0Bに対応され、右中間部のクロスエリアに設けられた2つのサブワード選択線駆動回路FXDが、第1のサブワード選択線FX2Bと、FX4Bに対応され、右下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第1のサブワード選択線FX6Bに対応される。このようにメモリアレイの端部に設けられたサブワードドライバは、その右側にはサブアレイが存在しないから、左側だけのサブワード線SWLを駆動する。



【0033】この実施例のようにサブアレイ上のメインワード線のピッチの間にサブワード選択線を配置する構成では、格別な配線チャンネルが不要にできるから、1つのサブアレイに8本のサブワード選択線を配置するようにしてもメモリチップがおおきくなることはない。しかしながら、上記のようなサブワード選択線駆動回路FXDを形成するために領域が増大し、高集積化を妨げることとなる。つまり、上記クロスエリアには、同図において点線で示したようなメイン入出力線MIOやサブ入出力線LIOに対応して設けられるスイッチ回路IOSWや、センスアンプを駆動するパワーMOSFET、シェアードスイッチMOSFETを駆動するための駆動回路、プリチャージMOSFETを駆動する駆動回路等の周辺回路が形成されるために面積的な余裕が無いからである。

【0034】後述するようにサブワードドライバにおいては、上記第2のサブワード選択線FX0～6等には、それと平行に第1サブワード選択線FX0B～6Bに対応した選択信号を通す配線が設けられるものであるが、その負荷が後述するように小さいので、上記第2のサブワード選択線FX0～6のように格別なドライバFXDを設けることなく、上記第1サブワード選択線FX0B～6Bと直接接続される配線によって構成される。ただし、その配線層は上記第2のサブワード選択線FX0～6と同じものが用いられる。

【0035】特に制限されないが、上記クロスエリアのうち、偶数に対応した第2のサブワード選択線FX0～FX6の延長方向Aに配置されたものには、○にPで示したようにセンスアンプに対して定電圧化された内部電圧VDLを供給するNチャンネル型のパワーMOSFETと、○にOで示したようにセンスアンプに対して後述するようなオーバードライブ用のクランプ電圧VDDCLPを供給するPチャンネル型のパワーMOSFET、及び○にNで示したようにセンスアンプに対して回路の接地電位VSSを供給するためのNチャンネル型のパワーMOSFETが設けられる。

【0036】上記クロスエリアのうち、奇数に対応した第2のサブワード選択線FX0～FX6の延長方向Bに配置されたものには、○にBで示したようにビット線のプリチャージ及びビコライズ用MOSFETをオフ状態にさせるNチャンネル型の駆動MOSFETと、○にNで示したようにセンスアンプに対して回路の接地電位VSSを供給するためのNチャンネル型のパワーMOSFETが設けられる。このNチャンネル型のパワーMOSFETは、センスアンプ列の両側からセンスアンプを構成するNチャンネル型MOSFETの増幅MOSFETのソースに接地電位を供給するもきである。つまり、センスアンプエリアに設けられる128個又は130個のセンスアンプに対しては、上記A側のクロスエリアに設けられたNチャンネル型のパワーMOSFETと、上記

B側のクロスエリアに設けられたNチャンネル型のパワーMOSFETの両方により接地電位が供給される。

【0037】上記のようにサブワード線駆動回路SWDは、それを中心にして両側のサブアレイのサブワード線を選択する。これに対して、上記選択された2つのサブアレイのサブワード線に対応して2つのセンスアンプが活性化される。つまり、サブワード線を選択状態にすると、アドレス選択MOSFETがオン状態となり、記憶キャパシタの電荷がビット線電荷と合成されてしまうので、センスアンプを活性化させてもとの電荷の状態に戻すという書き込み動作を行う必要があるからである。このため、上記端部のサブアレイに対応したものを除いて、上記P、O及びNで示されたパワーMOSFETは、それを挟んで両側のセンスアンプを活性化させるために用いられる。

【0038】これに対して、アレイの端に設けられたサブアレイの右側に設けられたサブワード線駆動回路SWDでは、上記サブアレイのサブワード線しか選択しないから、上記上記P、O及びNで示されたパワーMOSFETは、上記サブアレイに対応したセンスアンプのみを活性化するものである。上記センスアンプは、シェアードセンス方式とされ、それを挟んで両側に配置されるサブアレイのうち、上記サブワード線が非選択された側の相補ビット線に対応したシェアードスイッチMOSFETがオフ状態にされて切り離されることにより、上記選択されたサブワード線に対応した相補ビット線の読み出し信号を増幅し、メモリセルの記憶キャパシタをもとの電荷状態に戻すというリライト動作を行う。

【0039】図4には、この発明に係るダイナミック型RAMの一実施例の構成図が示されている。同図においては、ウェル領域のレイアウトパターンとそこに形成される素子(MOSFET)が回路図の形式で示されている。この実施例では、メモリアレイ全面の下層部には上記深い深さのN型ウェル領域DWELLが形成される。このDWELL上において、白地の部分がP型ウェル領域PWELLとされ、サブアレイ部には負のバックバイアス電圧VBBが供給され、サブワードドライバSWD部のP型ウェル領域PWELLにも同様に負のバックバイアス電圧VBBが供給される。網かけの部分がN型ウェル領域NWEELLとされて、ワード線の選択レベルに対応された昇圧電圧VPPが印加される。つまり、この実施例では、メモリアレイ部のNチャンネル型MOSFETを形成するP型ウェル領域は全て負のバックバイアス電圧VBBが供給されるために、前記のような分離用のN型ウェル領域が不要となり、その分高集積にできる。

【0040】サブアレイ部の上記PWELL内には、相補ビット線BLとBLBのサブワード線SWLとの交点にメモリセルが配置されている。上記相補ビット線BLとBLBは、制御信号SHRによりスイッチ制御される

シェアードスイッチMOSFET、イコライズ信号BLEQによりスイッチ制御されて上記相補ビット線BLとBLBをプリチャージ電圧VBLRに設定するプリチャージ(イコライズ)回路と、センスアンプを構成するNチャンネル型の増幅MOSFETと、カラム選択信号YSによりスイッチ制御されるカラムスイッチMOSFET、及びセンスアンプ活性化信号SANを受けて、上記Nチャンネル型の増幅MOSFETに上記回路の接地電位VSSを供給するパワースwitch MOSFETが形成される。上記メモリマツト部のPWELLをビット線BL、BLBの延長線方向で上記P型ウェル領域PWELLを分けるNWE LLには、上記センスアンプを構成するPチャンネル型MOSFETと、上記Pチャンネル型の増幅MOSFETに電源電圧VCCを供給するパワースwitch MOSFETが形成される。これにより、上記ビット線BLとBLBは、上記センスアンプを中心にして左右に分割されるというシェアードセンスアンプ方式とされる。

【0041】上記ワード線SWLの延長方向においてメモリマツトを分割するよう配置された上記NWE LLとPWELLには、サブワードドライバSWDを構成するPチャンネル型MOSFETとNチャンネル型MOSFETが形成される。また、上記NWE LLのクロス部分には、ローカル入出力線LIOをメイン入出力線MIOに接続するPチャンネル型MOSFETとNチャンネル型MOSFETからなるCMOSスイッチが設けられる。上記メイン入出力線MIOには、上記NWE LLのクロス部分においてPチャンネル型MOSFETからなるプリチャージ(イコライズ)回路が設けられる。

【0042】ダイナミック型メモリセルは、上記1つのサブアレイに設けられたサブワード線SWLと、相補ビット線BL、/BLのうちの一方BLとの間に設けられる。ダイナミック型メモリセルは、アドレス選択MOSFETと記憶キャパシタから構成される。アドレス選択MOSFETのゲートは、サブワード線SWLに接続され、このMOSFETの一方のソース、ドレインがビット線BLに接続され、他方のソース、ドレインが記憶キャパシタが接続される。記憶キャパシタの他方の電極は共通化されてプレート電圧が与えられる。上記サブワード線SWLの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択MOSFETのしきい値電圧分だけ高くされた高電圧VPPとされる。センスアンプを内部降圧電圧VDLで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧VDLに対応したレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧VPPはVDL+Vthにされる。

【0043】図5には、この発明に係るダイナミック型RAMの一実施例の概略断面図が示されている。同図(A)に示したウェル構造は、P型基板P-SUBに深

い深さのDWE LLを形成し、かかるDWE LL内にメモリアレイ部のP型ウェル領域が形成され、このP型ウェル領域にはメモリセルのアドレス選択MOSFETの他に、センスアンプ等の直接回路を構成するNチャンネル型MOSFETも形成される。そして、上記直接回路を構成するPチャンネル型MOSFETは、N型ウェル領域NWE LLに形成される。上記P型基板PSUBには、回路の接地電位VSSが与えられ、上記深い深さのDWE LLには昇圧電圧VPPが印加され、上記P型ウェル領域PWELLには負電圧VBBが印加され、N型ウェル領域NWE LLには昇圧電圧VPPが印加される。

【0044】上記のようなウェル構造において、(B)に示すようにPチャンネル型MOSFETは、N型ウェル領域NWE LLにp+型のソース、ドレインと、かかるソース、ドレイン間の半導体表面上にゲート絶縁膜を介してゲート電極が形成される。上記のようなウェル構造において、(C)に示すようにNチャンネル型MOSFETは、P型ウェル領域PWELLにn+型のソース、ドレインと、かかるソース、ドレイン間の半導体表面上にゲート絶縁膜を介してゲート電極が形成される。特に制限されないが、(C)のようなNチャンネル型MOSFETのうち、メモリセルを構成するものは、必要な情報保持時間を確保するためにゲート下の半導体表面(チャンネル)部分にイオン打ち込み技術によりp型不純物が導入されて、しきい値電圧が比較的高くされる。つまり、メモリセルを構成するNチャンネル型MOSFETと同じP型ウェル領域PWELLに形成され、センスアンプ等の直接部を構成するNチャンネル型MOSFETとはしきい値電圧に差を持つようにされる。

【0045】上記のようにNチャンネル型MOSFETは、それが形成されるP型ウェル領域PWELLには-1Vのようなバックバイアス電圧が印加されているために、素子の微細化による低しきい値電圧にされるが、上記のようなバックバイアス電圧VBBの供給による基板効果により実効的なしきい値電圧が高くされる。その結果、素子の微細化による高集積化を図りつつ、前記サブスレッショルドリーク電流が大幅に低減して低消費電力化を図ることができる。これとともに、メモリアレイ部では、サブアレイがセンスアンプやサブワードドライバによって多数に分割されるにも係らず、従来のようにサブアレイ毎に分離用のNWE LLが不要となって同じDWE LL上に形成されたPWELLに纏めて形成するためにいっそうの高集積化が可能になる。また、上記サブワード選択線をサブアレイ上を通過させるものであるために、センスアンプが形成される半導体領域も小さくできるものとなるため、これらが相乗的に作用して大記憶容量化あるいは記憶容量を大きくしないならチップサイズを小型化することができる。

【0046】図6には、上記サブアレイのメインワード

線とサブワード線との関係を説明するための要部ブロック図が示されている。同図は、主に回路動作を説明するものであり、前記のようなサブワード選択線の幾何学的な配置を無視してサブワード選択線FXOB〜7Bを纏めて表している。同図においては、サブワード線の選択動作を説明するために2本のメインワード線MWL0とMWL1が代表として示されている。これらのメインワード線MWL0は、メインワードドライバMWD0により選択される。他のメインワード線MWL1は、上記同様なメインワードドライバにより同様に選択される。

【0047】上記1つのメインワード線MWL0には、その延長方向に対して8組のサブワード線が設けられる。同図には、そのうちの2組のサブワード線が代表として例示的に示されている。サブワード線は、偶数0〜6と奇数1〜7の合計8本のサブワード線が1つのサブアレイに交互に配置される。メインワードドライバに隣接する偶数0〜6と、メインワード線の遠端側（ワードドライバの反対側）に配置される奇数1〜7を除いて、サブアレイ間に配置されるサブワードドライバは、それを中心にした左右のサブアレイのサブワード線を駆動する。

【0048】これにより、前記のようにサブアレイとしては、8分割されるが、上記のように実質的にサブワードドライバSWDにより2つのサブアレイに対応したサブワード線が同時に選択されるので、実質的には上記サブアレイが4組に分けられることとなる。上記のようにサブワード線SWLを偶数0〜6と偶数1〜7に分け、それぞれメモリブロックの両側にサブワードドライバSWDを配置する構成では、メモリセルの配置に合わせて高密度に配置されるサブワード線SWLの実質的なピッチがサブワードドライバSWDの中で2倍に緩和でき、サブワードドライバSWDとサブワード線SWLとを効率よく半導体チップ上にレイアウトすることができる。

【0049】この実施例では、上記サブワードドライバSWDは、4本のサブワード線0〜6（1〜7）に対して共通にメインワード線MWLから選択信号を供給する。上記4つのサブワード線の中から1つのサブワード線を選択するためのサブワード選択線FXBが設けられる。サブワード選択線は、FXB0〜FXB7の8本から構成され、そのうちの偶数FXB0〜FXB6が上記偶数列のサブワードドライバ0〜6に供給され、そのうち奇数FXB1〜FXB7が上記奇数列のサブワードドライバ1〜7に供給される。サブワード選択線FXB0〜FXB7は、サブアレイ上では第2層目の金属（メタル）配線層M2により形成され、同じく第2層目の金属配線層M2により構成されるメインワード線MWL0〜MWLnと平行に延長される第1サブワード選択線と、そこから直交する方向に延長される第2のサブワード選択線からなる。特に制限されないが、上記第2のサブワード選択線は、メインワード線MWLとの交差す

るために第3層目の金属配線層M3により構成される。

【0050】サブワードドライバSWDは、そのうちの1つが例示的に示されているように、メインワード線MWLに入力端子が接続され、出力端子にサブワード線SWLが接続されたPチャンネル型MOSFETQ21とNチャンネル型MOSFETQ22からなる第1のCMOSインバータ回路と、上記サブワード線SWLと回路の接地電位との間に設けられ、上記サブワード選択信号FXBを受けるスイッチMOSFETQ23から構成される。このスイッチMOSFETQ23のゲートを接続するために、実際には0、2、4、6からなるサブワードドライバ列にそってFXとFXBとの合計8本のサブワード選択線が配置されるが、同図では1つの線で表している。

【0051】上記サブワード選択信号FXBの反転信号FXを形成する第2のCMOSインバータ回路N1がサブワード選択線駆動回路FXDとして設けられ、その出力信号を上記第1のCMOSインバータ回路の動作電圧端子であるPチャンネル型MOSFETQ21のソース端子に供給する。この第2のCMOSインバータ回路N1は、特に制限されないが、前記図3のようにクロスエリアに形成され、複数（前記実施例では64個）からなるサブワードドライバSWDに対応して共通に用いられる。

【0052】上記のようなサブワードドライバSWDの構成においては、メインワード線MWLがワード線を選択レベルに対応した昇圧電圧VPPのようなハイレベルのとき、上記第1のCMOSインバータ回路のNチャンネル型MOSFETQ22がオン状態となり、サブワード線SWLを回路の接地電位のようなロウレベルにする。このとき、サブワード選択信号FXBが回路の接地電位のようなロウレベルのような選択レベルとなり、サブワード選択線駆動回路FXDとしての第2のCMOSインバータ回路N1の出力信号が上記昇圧電圧VPPに対応した選択レベルにされても、上記メインワード線MWLの非選択レベルにより、Pチャンネル型MOSFETQ21がオフ状態であるので、上記サブワード線SWLは上記Nチャンネル型MOSFETQ22のオン状態による非選択状態にされる。

【0053】上記メインワード線MWLが選択レベルに対応した回路の接地電位のようなロウレベルのとき、上記第1のCMOSインバータ回路のNチャンネル型MOSFETQ22がオフ状態となり、Pチャンネル型MOSFETQ21がオン状態になる。このとき、サブワード選択信号FXBが上記回路の接地電位のようなロウレベルなら、サブワード選択線駆動回路FXDとしての第2のCMOSインバータ回路N1の出力信号が上記昇圧電圧VPPに対応した選択レベルにされて、サブワード線SWLをVPPのような選択レベルにする。もしも、サブワード選択信号FXBが昇圧電圧VPPのような非

選択レベルなら、上記第2のCMOSインバータ回路N2の出力信号がロウレベルとなり、これとともに上記Nチャンネル型MOSFETQ23がオン状態になってサブワード線SWLをロウレベルの非選択レベルにする。

【0054】上記メインワード線MWL及びそれと平行に配置される第1のサブワード選択線FXBは、上記のように非選択レベルと共にVPPのようなハイレベルにされている。それ故、RAMが非選択状態（スタンバイ）状態のときに上記平行に配置されるメインワード線MWLと第1のサブワード選択線FXBとの間に絶縁不良が発生しても、リーク電流が流れることがない。この結果、メインワード線MWLの間に第1のサブワード選択線FXB形成してサブアレイ上に配置させることができ、レアウトの高密度化としても、上記リーク電流による直流不良を回避することができ高信頼性となるものである。

【0055】図7には、上記メモリアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図が示されている。同図においては、代表として1本のメインワード線MWLが示されている。このメイン

ワード線MWLは、メインワードドライバMWDにより選択される。上記メインワードドライバに隣接して、上記偶数サブワード線に対応したサブワードドライバSWDが設けられる。

【0056】同図では、省略されてるが上記メインワード線MWLと平行に配置されるサブワード線と直交するように相補ビット線（Pair Bit Line）が設けられる。この実施例では、特に制限されないが、相補ビット線も偶数列と奇数列に分けられ、それぞれに対応してサブアレイ（メモリセルアレイ）を中心にして左右にセンスアンプSAが振り分けられる。センスアンプSAは、前記のようにシェアードセンス方式とされるが、端部のセンスアンプSAでは、実質的に片方にした相補ビット線が設けられないが、シェアードスイッチMOSFETを介して相補ビット線と接続される。

【0057】上記のようにメモリブロックの両側にセンスアンプSAを分散して配置する構成では、奇数列と偶数列に相補ビット線が振り分けられるために、センスアンプ列のピッチを緩やかにすることができる。逆にいうならば、高密度に相補ビット線を配置しつつ、センスアンプSAを形成する素子エリアを確保することができる。上記センスアンプSAの配列に沿って上記サブ入出力線が配置される。このサブ入出力線は、カラムスイッチを介して上記相補ビット線に接続される。カラムスイッチは、スイッチMOSFETから構成される。このスイッチMOSFETのゲートは、カラムデコーダCOLUMN DECODERの選択信号が伝えられるカラム選択線YSに接続される。

【0058】図8には、この発明に係るダイナミック型RAMの間接周辺回路部分の一実施例の概略ブロック図

が示されている。タイミング制御回路TGは、外部端子から供給されるロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトイネーブル信号/WE及びアウトプットイネーブル信号/OEを受けて、動作モードの判定、それに対応して内部回路の動作に必要な各種のタイミング信号を形成する。この明細書及び図面では、/はロウレベルがアクティブレベルであることを意味するのに用いている。

【0059】信号R1とR3は、ロウ系の内部タイミング信号であり、ロウ系の選択動作のために使用される。タイミング信号φXLは、ロウ系アドレスを取り込んで保持させる信号であり、ロウアドレスバッファRABに供給される。すなわち、ロウアドレスバッファRABは、上記タイミング信号φXLによりアドレス端子A0～Aiから入力されたアドレスを取り込んでラッチ回路に保持させる。タイミング信号φYLは、カラム系アドレスを取り込んで保持させる信号であり、カラムアドレスバッファCABに供給される。すなわち、カラムアドレスバッファRABは、上記タイミング信号φYLによりアドレス端子A0～Aiから入力されたアドレスを取り込んでラッチ回路に保持させる。

【0060】信号φREFは、リフレッシュモードのときに発生される信号であり、ロウアドレスバッファの入力部に設けられたマルチプレクサAMXに供給されて、リフレッシュモードのときにリフレッシュアドレスカウンタ回路RFCにより形成されたリフレッシュ用アドレス信号に切り替えるよう制御する。リフレッシュアドレスカウンタ回路RFCは、タイミング制御回路TGにより形成されたリフレッシュ用の歩進パルスφRCを計数してリフレッシュアドレス信号を生成する。この実施例では後述するようなオートリフレッシュとセルフリフレッシュを持つようにされる。タイミング信号φXは、ワード線選択タイミング信号であり、デコーダXIBに供給されて、下位2ビットのアドレス信号の解釈された信号に基づいて4通りのワード線選択タイミング信号XiBが形成される。タイミング信号φYはカラム選択タイミング信号であり、カラム系プリデコーダYPDに供給されてカラム選択信号AYix、AYjx、AYkxが出力される。

【0061】タイミング信号φWは、書き込み動作を指示する制御信号であり、タイミング信号φRは読み出し動作を指示する制御信号である。これらのタイミング信号φWとφRは、入出力回路I/Oに供給されて、書き込み動作のときには入出力回路I/Oに含まれる入力バッファを活性化し、出力バッファを出力ハイインピーダンス状態にさせる。これに対して、読み出し動作のときには、上記出力バッファを活性化し、入力バッファを出力ハイインピーダンス状態にする。タイミング信号φMSは、特に制限されないが、メモリアレイ選択動作を指示する信号であり、ロウアドレスバッファRABに供給

され、このタイミングに同期して選択信号MSiが出力される。タイミング信号φSAは、センスアンプの動作を指示する信号である。このタイミング信号φSAに基づいて、センスアンプの活性化パルスが形成される。

【0062】この実施例では、ロウ系の冗長回路X-REDが代表として例示的に示されている。すなわち、上記回路X-REDは、不良アドレスを記憶させる記憶回路と、アドレス比較回路とを含んでいる。記憶された不良アドレスとロウアドレスバッファRABから出力される内部アドレス信号BXiとを比較し、不一致のときには信号XEをハイレベルにし、信号XEBをロウレベルにして、正規回路の動作を有効にする。上記入力された内部アドレス信号BXiと記憶された不良アドレスとが一致すると、信号XEをロウレベルにして正規回路の不良メインワード線の選択動作を禁止させるとともに、信号XEBをハイレベルにして、1つの予備メインワード線を選択する選択信号XRiBを出力させる。

【0063】内部電圧発生回路VGは、外部端子から供給された3.3Vのような電源電圧VDDと0Vの接地電位VSSとを受け、上記昇圧電圧VPP(+3.8V)、内部電圧VDL(+2.2V)、プレート電圧(プリチャージ電圧)VPL(1.1V)及び基板電圧VBB(-1.0V)を形成する。特に制限されないが、上記昇圧電圧VPPと基板電圧VBBとは、チャージポンプ回路と、その制御回路とを用いて上記電圧VPP及びVBBを安定的に形成する。上記内部電圧VDLは、基準電圧を用いて上記電源電圧VDDを内部降圧して安定化させて形成される。上記プレート電圧VPLやハーフプリチャージ電圧は、内部降圧電圧VDLを1/2に分圧して形成される。

【0064】図9には、この発明に係るダイナミック型RAMを説明するための素子構造断面図が示されている。この実施例では、上記のようなメモリセル部の素子構造が代表として例示的に示されている。メモリセルの記憶キャパシタは、2層目のポリシリコン層をストレージノードSNとして用い、アドレス選択用MOSFETの一方のソース、ドレインSDと接続される。上記2層目ポリシリコン層からなるストレージノードSNは王冠構造とされ、薄いゲート絶縁膜を介して3層目ポリシリコン層からなるプレート電極PLが形成されて構成される。アドレス選択用MOSFETのゲートは、サブワード線SWLと一体的に構成され、1層目ポリシリコン層とその上部に形成されたタングステンシリサイド(WSi)とにより形成される。アドレス選択用MOSFETの他方のソース、ドレインは、ポリシリコン層とその上部設けられた上記同様なタングステンシリサイドから構成されたビット線BLに接続される。上記メモリセルの上部には、第2層目のメタル層M2からなるメインワード線MWB、サブワード選択線FXBが形成され、その上部には第3層目からなるメタル層M3からなるY選択

線YSや、サブワード選択線FXが形成される。

【0065】同図では省略されているが、メモリセル部の周辺部には、上記センスアンプやサブワードドライバSWD等の直接周辺回路を構成するようなNチャンネル型MOSFETやPチャンネル型MOSFETが形成される。これらの直接周辺回路を構成するために、図示しいが1層目メタル層が形成されている。例えば、上記CMOSインバータ回路を構成するためにNチャンネル型MOSFETとPチャンネル型MOSFETとのゲートを接続する配線は、上記1層目のメタル層M1が用いられる。上記CMOSインバータ回路の入力端子と2層目メタル層M2からなるメインワード線MWBとの接続には、スルーホールを介してダミーとしての第1層目メタル層M1に落とし、この第1層目の配線層M1とコンタクトを介してゲート電極に接続される。

【0066】3層目のメタル層M3で形成されたY選択線YSをカラム選択スイッチMOSFETのゲートに接続させる場合、あるいは上記メタル層M3で形成されたサブワード線選択線FXとサブワードドライバのPチャンネル型MOSFETのソース、ドレインとの接続には、スルーホールを介して上記ダミーとしてのメタル層M2、メタル層M1に落とし上記カラムスイッチMOSFETのゲートや、Pチャンネル型MOSFETのソース、ドレインと接続される。

【0067】この実施例のような素子構造を採るとき、前記のようにメインワード線を構成する第2層目のメタル層M2に対して、それと平行に延長される第2層目のメタル層M2の部分又は上記メインワード線のメタル層M2と交差する第3層目のメタル層M3の部分からなるサブワード選択線との間の絶縁膜に欠陥が生じることにより、無視できないリーク電流が流れてしまう。このようなリーク電流それ自体は、メモリセルの読み出し/書き込み動作には影響を及ぼさないなら実際には問題ないが、非選択状態での電流不良という問題を引き起こしてしまう。本願発明では、上記のようにメインワード線MWBとサブワード選択線FXBとが同じ電位で非選択状態であるために上記リーク電流の発生が生じない。

【0068】上記メインワード線MWBとサブワード選択線FXBとの間のリーク電流の発生よりメモリセルの読み出し/書き込み動作に不良が生じる場合には、予備のメインワード線に置き換えられる。しかしながら、不良のメインワード線MWBはそのまま残り、上記メインワード線MWBに対してリーク電流が流れ続ける結果となる。上記のようなリーク電流の発生は、かかるメインワード線MWBが予備のメインワード線に置き換えられる結果、メモリの読み出し、書き込み動作そのものには何ら影響を与えない。しかしながら、直流電流が増加してしまい、製品としての性能の悪化につながり、最悪の場合には直流不良にされるので上記欠陥救済回路が生かされなくなるが、上記のような構成とすることによりそ

21

れを回避させることができる。

【0069】図10には、この発明に係るダイナミック型RAMに用いられる間接周辺回路の一実施例の概略回路図が示されている。アドレスバッファやデコーダ、あるいはタイミング発生回路等の間接周辺回路は、半導体基板上に形成されたP型ウェル領域とN型ウェル領域にNチャンネル型MOSFETとPチャンネル型MOSFETが形成される。これらのMOSFETは、低い値電圧にされることにより動作速度の点では優れている。しかしながら、ダイナミック型RAMが非動作（待機）状態に置かれるときでもCMOS回路をうちオフ状態にされたNチャンネル型MOSFET又はPチャンネル型MOSFETのサブスレッショルドリーク電流によって上記非動作時の消費電流を増大させてしまう。

【0070】この実施例では、上記待機時にロウレベル（H）にされる①のような回路では、オフ状態にされるPチャンネル型MOSFETのソースはサブ電源線VDTに接続される。この①の回路の出力信号を受ける②のような回路では、上記①の出力信号をロウレベル（L）によりNチャンネル型MOSFETがオフ状態にされるので、そのソースをサブ電源線VSTに接続させる。上記サブ電源線VDTとVSTは、それぞれPチャンネル型のスイッチMOSFET（Sw-MOS）を介して電源線VDDに接続され、Nチャンネル型のスイッチMOSFET（Sw-MOS）を介して接地線VSSに接続され、待機時にはタイミング信号φPとφNとでそれぞれのスイッチMOSFETをオフ状態にさせる。上記スイッチMOSFET（Sw-MOS）は、特に制限されないが、3重ウェル構造を利用した前記直接周辺回路に形成されたMOSFETと同様に実効的なしきい値電圧が高くされている。

【0071】この構成では、①の回路において、上記3重ウェル構造によって実効的なしきい値電圧が高くされたスイッチMOSFETのオフ状態により電流供給経路が絶たれる。これにより、オフ状態にされるPチャンネル型MOSFETのソースが接続されたサブ電源線VDTの電位は、かかるPチャンネル型MOSFETのサブスレッショルドリーク電流より電源電圧から低下する。つまり、図11に示した素子構造断面図に示すように、上記Pチャンネル型MOSFETが形成されるN型ウェル領域NWE LLに印加されている電源電圧VDDより低い電位がソースに印加され、基板効果によって実効的なしきい値電圧を増大させてサブスレッショルドリーク電流を低減させるで上記サブ電源線VDTの電位は一定の電位に落ち着く。

【0072】上記②の回路においても、3重ウェル構造によって実効的なしきい値電圧が高くされたスイッチMOSFETのオフ状態により電流供給経路が絶たれる。これにより、オフ状態にされるNチャンネル型MOSFETのソースが接続されたサブ電源線VSTの電位は、

22

かかるNチャンネル型MOSFETのサブスレッショルドリーク電流より接地電位より上昇する。つまり、図12に示した素子構造断面図に示すように、上記Nチャンネル型MOSFETが形成されるP型ウェル領域PWE LLに印加されている接地電位VSSより高い電位がソースに印加され、基板効果によって実効的なしきい値電圧を増大させてサブスレッショルドリーク電流を低減させるで上記サブ電源線VSTの電位は一定の電位に落ち着く。

10 【0073】これにより、アドレスバッファやデコーダ及びタイミング発生回路と言ったようなメモリアレイ部以外の間接周辺回路では、動作状態でのときには低い値電圧化によって動作の高速化が図られるとともに、待機状態では上記のような入力信号とそれに対応したサブ電源線への接続によってサブスレッショルドリーク電流の発生を防止できるので、待機時の消費電流を大幅に低減させることができるものとなる。

【0074】図11及び図12において、前記スイッチMOSFET（Sw-MOS）は、点線で示したDWE LLに形成されたP型ウェル領域PWE LLとN型ウェル領域NWE LLに形成され、かかるP型ウェル領域PWE LLには負電圧VBBが印加され、上記N型ウェル領域NWE LLにはVPPが印加される。なお、間接直接周辺回路においても、適宜に3重ウェル構造にしてサブスレッショルドリーク電流を低減させるようにするものであってもよい。

【0075】図13には、この発明に係るダイナミック型RAMの他の一実施例の概略ブロック図が示されている。この実施例では、256Mビットのような大記憶容量化に向けられている。つまり、1つのメモリアレイ（Array）は、16Mビットのような記憶容量を持ち、それがメインワードドライバ（Main Word）とYドライバ（Ydec）とを挟むような4つが1組とされて、全体として4組から構成される。1つのメモリアレイが16Mビットの記憶容量を持つので、 $4 \times 4 \times 16 = 256$ Mビットのような大記憶容量を持つ。上記1つのメモリアレイ（Array）は、図2の1つのアレイト同じく構成にされる。ただし、サブアレイトは、512対の相補ビット線から構成されることにより、上記同じサブアレイトの構成により16Mビットのような記憶容量が得られる。

【0076】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（1）ダイナミック型メモリセル及びかかるダイナミック型メモリセルからビット線に読み出された上記記憶キャパシタの情報電荷に従った微小電圧を増幅するセンスアンプの増幅MOSFET、ビット線にプリチャージ電圧を与えるプリチャージMOSFET、ビット線を選択するカラムスイッチMOSFETとを含むメモリアレイを備え、上記メモリアレイのNチャンネル型MOSFETを深い深さのN型ウェル領域内に形成され、負の基



板バックバイアス電圧が与えられたP型ウェル領域に形成され、上記メモリアレイのPチャンネル型MOSFETを、上記深い深さのN型ウェル領域内に形成され、ワード線の選択レベルに対応した昇圧電圧が与えられたN型ウェル領域に形成することにより、実効的なしきい値電圧を高くできサブスレッショルドリーク電流を低減できるとともに、これら直接周辺回路が形成されるP型ウェル領域を格別に分離する必要がなく高集積化が可能になるという効果が得られる。

【0077】(2) 上記ビット線として一对の相補ビット線を平行に配置し、上記センスアンプの増幅MOSFETは、一方のビット線に接続されたメモリセルの読み出し信号を他方のビット線のプリチャージ電圧を参照電圧として増幅するシェアード方式とし、上記プリチャージMOSFET及びカラムスイッチMOSFETをシェアードスイッチMOSFETを介して上記2組の相補ビット線に対して共通に設け、これらシェアードスイッチMOSFETも上記メモリアレイに含ませて上記3重ウェル構造で構成することにより高集積化が可能になるという効果が得られる。

【0078】(3) 上記センスアンプを構成する増幅MOSFETは、Pチャンネル型MOSFETとNチャンネル型MOSFETからなる2つのCMOSインバータ回路の入力と出力とが交差接続されてなるCMOSラッチ回路の複数を動作電圧と回路の接地電位をそれぞれを与えるPチャンネル型MOSFETとNチャンネル型MOSFETからなるパワースイッチ回路も上記メモリアレイに含ませることにより、全面DWELL内にメモリアレイの全ての回路を構成できるので高集積化が実現できるという効果が得られる。

【0079】(4) 上記ワード線を、メインワード線と、かかるメインワード線に対して共通に割り当てられる複数のサブワード線で構成し、上記サブワード線に対して上記ダイナミック型メモリセルのアドレス選択MOSFETのゲートが接続し、上記サブワード線は、上記メインワード線の信号とサブワード選択線の信号とを受けるサブワードドライバにより上記複数のうちの1つが選択されるものとし、かかるサブワードドライバも上記メモリアレイに含ませることにより、サブスレッショルドリーク電流を抑えつつ、高集積化と高速動作化及び高集積化が可能になるという効果が得られる。

【0080】(5) メモリアレイをサブワードドライバとメインアンプにより複数のサブアレイに分割して配置し、上記サブアレイの複数の相補ビット線配列の両端側に上記センスアンプを振り分けて分割して配置し、上記サブアレイの複数のサブワード線列の両端側にサブワードドライバを振り分けて分割して配置し、上記サブアレイに対応してサブ共通入出力線が設けられ、複数のサブアレイに対応して設けられる共通入出力線とを接続させるスイッチ回路は、上記サブアレイの四隅に対

応され、上記センスアンプとサブワードドライバとが交差するクロスエリアに設け、複数のサブアレイに対応して設けられる共通入出力線とを接続させるスイッチ回路及び上記クロスエリアも上記メモリアレイに含ませることにより、大記憶容量化を図りつつ、高集積化が可能になるという効果が得られる。

【0081】(6) 上記メモリアレイの周辺部に設けられるCMOS構成の間接周辺回路においては、ダイナミック型RAMが非動作状態のときの入力信号がハイレベルにされる第1の回路と、入力信号がロウレベルにされる第2の回路に分けられ、上記第1の回路は、Pチャンネル型スイッチMOSFETを介して電源電圧が供給される第1のサブ電源線と回路の接地線の間に設けられ、上記第2の回路は、電源電圧とNチャンネル型スイッチMOSFETを介して回路の接地電位が供給される第2のサブ電源線との間に設けられ、上記Pチャンネル型とNチャンネル型のスイッチMOSFETは、ダイナミック型RAMが動作状態のときにオン状態にされ、非動作状態のときにオフ状態にさせることにより、動作状態での高速化を維持しつつ非動作状態での間接周辺回路でのサブスレッショルドリーク電流を低減させることができるという効果が得られる。

【0082】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、サブアレイの構成、または半導体チップに搭載される複数のメモリアレイの配置は、その記憶容量等に応じて種々の実施形態を採ることができる。また、サブワードドライバの構成は、種々の実施形態を採ることができる。入出力インターフェースの部分は、クロック信号に同期して動作を行うようにされたシンクロナスダイナミック型RAMとしてもよいし、ランバス仕様に準拠したものであってもよい。1つのメインワード線に割り当てられるサブワード線の数、前記のように4本の他に8本等種々の実施形態を採ることができる。この発明は、ダイナミック型RAMに広く利用できる。

【0083】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型メモリセル及びかかるダイナミック型メモリセルからビット線に読み出された上記記憶キャパシタの情報電荷に従った微小電圧を増幅するセンスアンプの増幅MOSFET、ビット線にプリチャージ電圧を与えるプリチャージMOSFET、ビット線を選択するカラムスイッチMOSFETとを含むメモリアレイを備え、上記メモリアレイのNチャンネル型MOSFETを深い深さのN型ウェル領域内に形成され、負の基板バックバイアス電圧が与えられたP型ウェル領域に形成され、上記メモリアレイのPチャ

ンネル型MOSFETを、上記深い深さのN型ウェル領域内に形成され、ワード線の選択レベルに対応した昇圧電圧が与えられたN型ウェル領域に形成することにより、実効的なしきい値電圧を高くできサブスレッシドリーク電流を低減できるとともに、これら直接周辺回路が形成されるP型ウェル領域を格別に分離する必要がなく高集積化が可能になる。

#### 【図面の簡単な説明】

【図1】この発明に係るダイナミック型RAMの一実施例を示すレイアウト図である。

【図2】この発明に係るダイナミック型RAMを説明するための概略レイアウト図である。

【図3】この発明に係るダイナミック型RAMにおけるサブアレイとその周辺回路の一実施例を示す概略レイアウト図である。

【図4】この発明に係るダイナミック型RAMの一実施例を示す構成図である。

【図5】この発明に係るダイナミック型RAMの一実施例を示す概略断面図である。

【図6】図3に示したサブアレイのメインワード線とサブワード線との関係を説明するための要部ブロック図である。

【図7】図3のサブアレイのメインワード線とセンスアンプとの関係を説明するための要部ブロック図である。

【図8】この発明に係るダイナミック型RAMの間接周辺回路部分の一実施例を示す概略ブロック図である。

【図9】この発明に係るダイナミック型RAMを説明するためのメモリセル部の素子構造断面図である。

【図10】この発明に係るダイナミック型RAMに用いられる間接周辺回路の一実施例を示す概略回路図である。

【図11】図10の回路を説明するための素子構造断面図である。

【図12】図10の回路を説明するための素子構造断面図である。

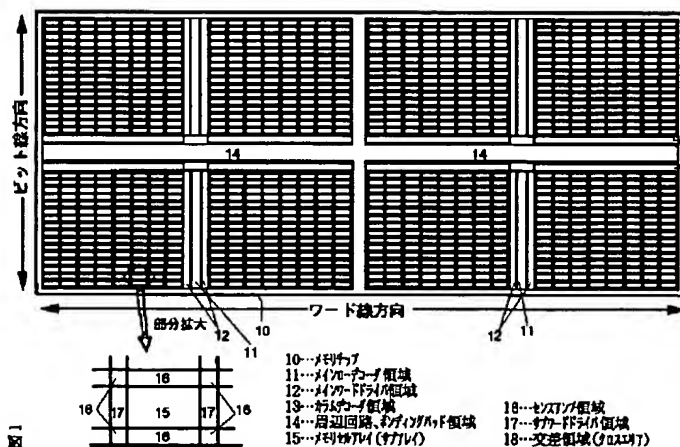
【図13】この発明に係るダイナミック型RAMの他の一実施例を示す概略ブロック図である。

【図14】従来の3重ウェル構造を説明するための概略断面図である。

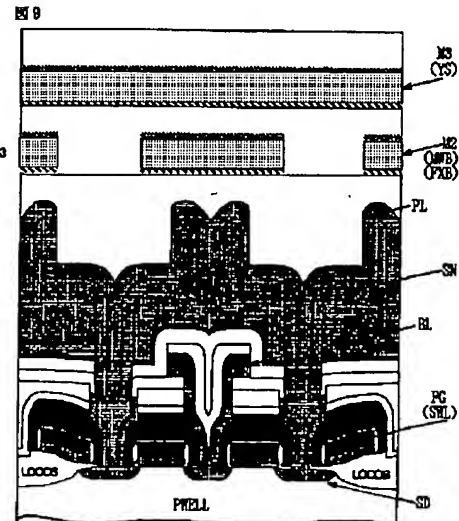
#### 【符号の説明】

- 10…メモリチップ、11…メインロウデコード領域、12…メインワードドライバ領域、13…カラムデコード領域、14…周辺回路、ボンディングパッド領域、15…メセリセルアレイ（サブアレイ）、16…センスアンプ領域、17…サブワードドライバ領域、18…交差領域（クロスエリア）
- SA…センスアンプ、SWD…サブワードドライバ、MWD…メインワードドライバ、ACTRL…メモリアレイ制御回路、MWL0～MWLn…メインワード線、SWL、SWL0…サブワード線、YS…カラム選択線、SBARY…サブアレイ、TG…タイミング制御回路、I/O…入出力回路、RAB…ロウアドレスバッファ、CAB…カラムアドレスバッファ、AMX…マルチプレクサ、RFC…リフレッシュアドレスカウンタ回路、XPD、YPD…プリテコダ回路、X-DEC…ロウ系冗長回路、XIB…デコード回路、DWELL…深い深さのN型ウェル領域、PWELL…P型ウェル領域、NWELL…N型ウェル領域、M1～M3…金属層、SN…ストレージノード、PL…プレート電極、BL…ビット線、SD…ソース、ドレイン、FG…1層目ポリシリコン層。

【図1】

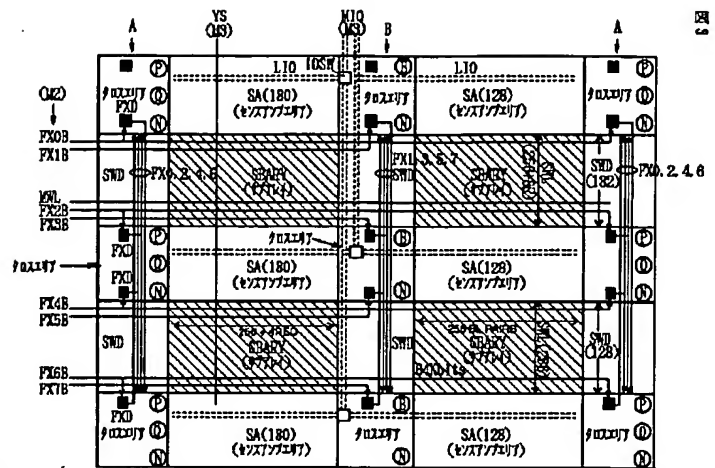


【図9】



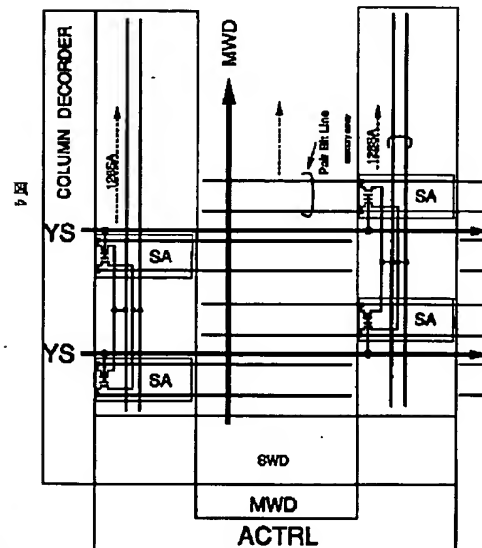


【図3】

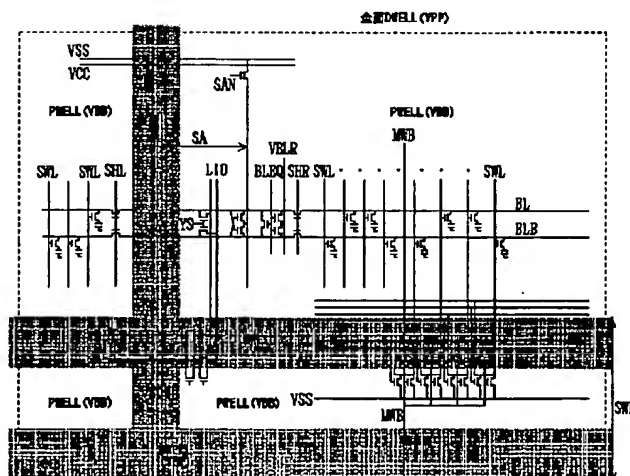


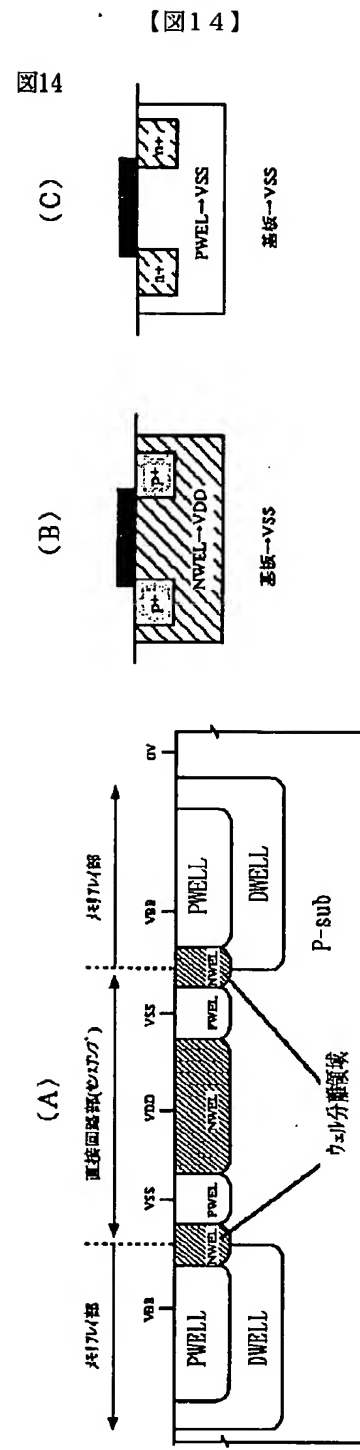
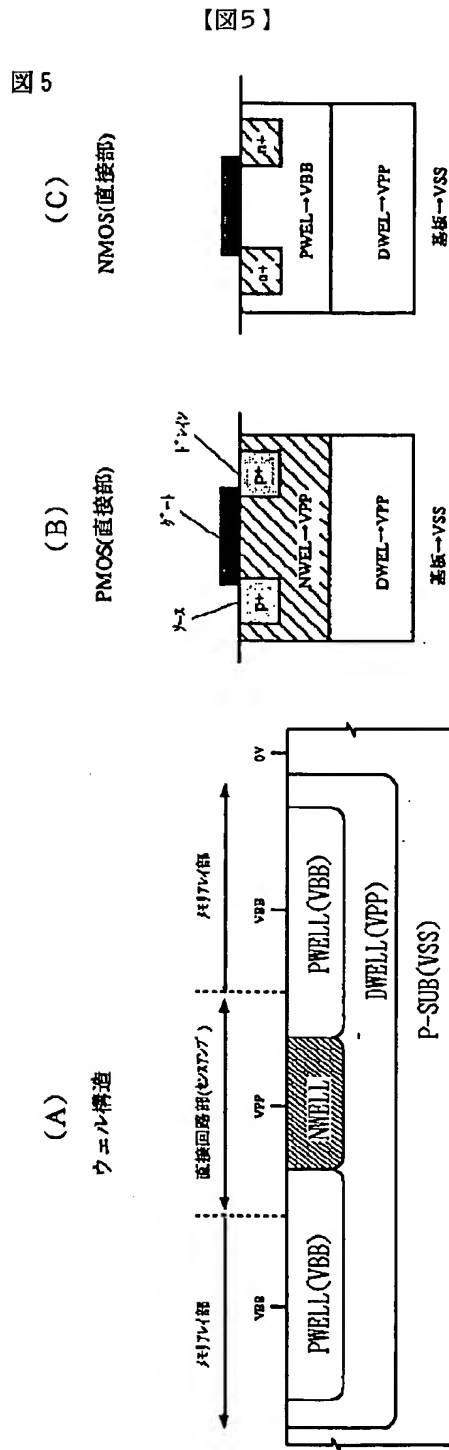
【図7】

圖 7

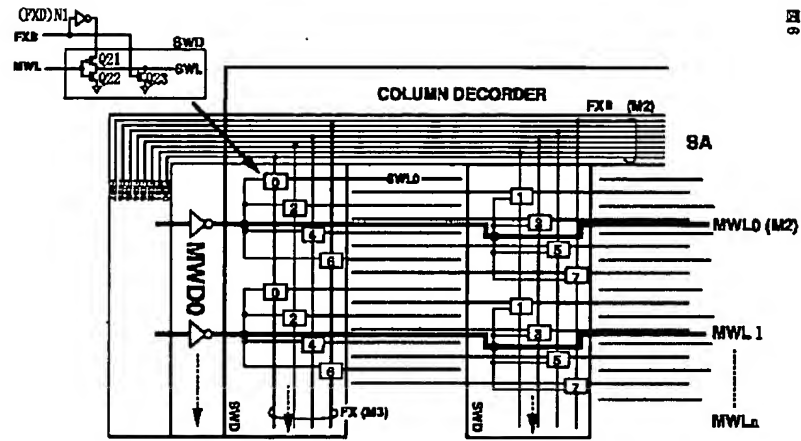


【図4】





84



**图 8**

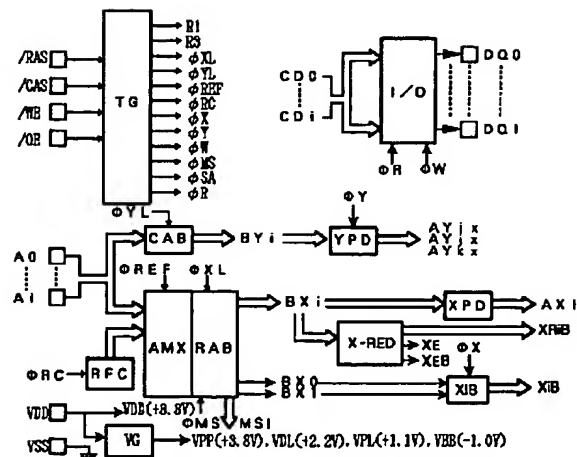
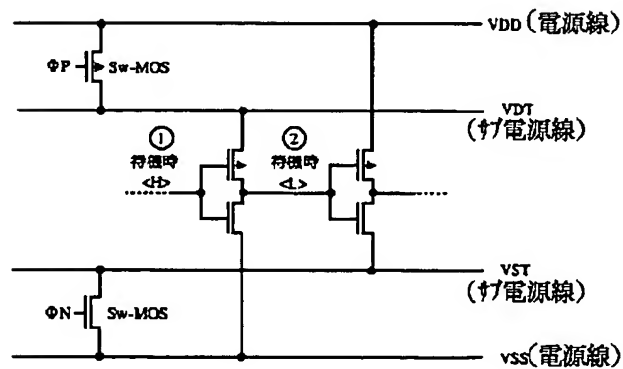
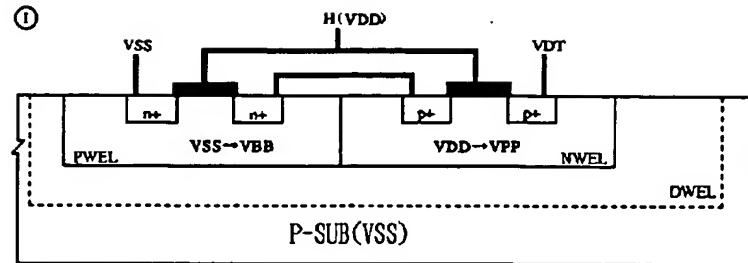


图10



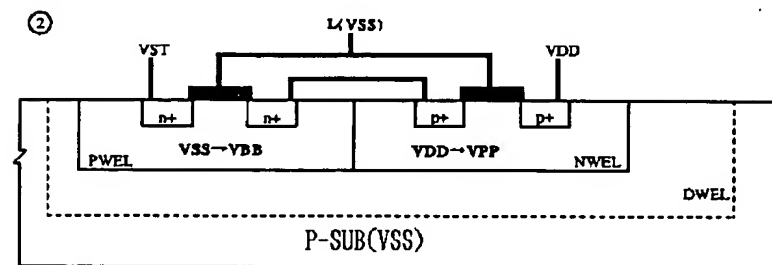
【図11】

図11



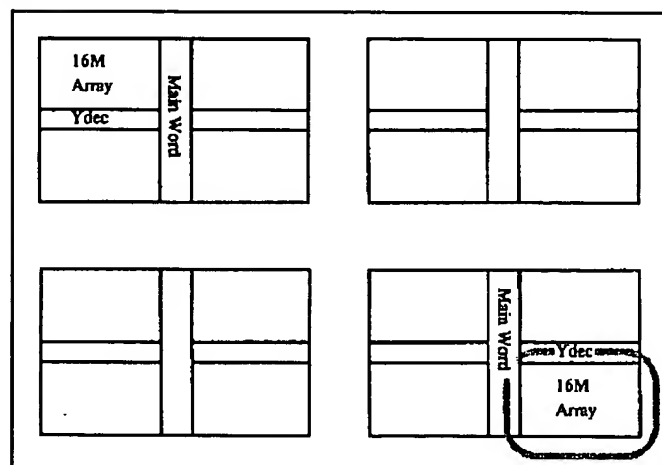
【図12】

図12



【図13】

図13



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/8238  
27/092

H 0 1 L 27/10

6 8 1 A

6 8 1 B

(72)発明者 宮武 伸一

東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 梶谷 一彦

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内